

Myway

ModCoupler-Verilog™

User's Guide

Powersim Inc.

Mywayプラス株式会社

ModCoupler-Verilog User's Guide

Version 1.0

Release 1.0

Copyright © 2012 Carlos III University of Madrid, GSEP Power Electronics Systems Group, and Microelectronic Design and Applications Group, Spain.

All rights reserved. No part of this manual may be photocopied or reproduced in any form or by any means without the written permission of Powersim, the Carlos III University of Madrid and Myway Plus Corporation.

Disclaimer

Powersim Inc. ("Powersim"), the Carlos III University of Madrid and Myway Plus Corporation (Myway) make no representation or warranty with respect to the adequacy or accuracy of this documentation or the software which it describes. In no event will Powersim, the Carlos III University of Madrid and Myway or its direct or indirect suppliers be liable for any damages whatsoever including, but not limited to, direct, indirect, incidental, or consequential damages of any character including, without limitation, loss of business profits, data, business information, or any and all other commercial damages or losses, or for any damages in excess of the list price for the license to the software and documentation.

ModelSimはMentor Graphics Corporationの登録商標です。

お問い合わせ先

Myway プラス株式会社

〒222-0022 神奈川県横浜市西区花咲町 6-145 横浜花咲ビル

Tel 045-548-8836, Fax 045-548-8832

Email: sales@myway.co.jp

URL: <http://www.myway.co.jp/>

目次

1	まえがき.....	4
2	ModCoupler-Verilog ブロック構成.....	5
3	Verilog ファイルのコンパイル.....	7
4	シミュレーション.....	7
5	例：降圧コンバータの電流ループ.....	8
5.1	ModCoupler ブロックの設定.....	8
5.2	Verilog ファイルのコンパイル.....	9
5.3	シミュレーション.....	10
5.4	シミュレーションの再スタート.....	10
5.5	例: アナログ制御と Verilog 制御の比較.....	11
6	エラーメッセージ.....	13

1 まえがき

ModCoupler-Verilogは、シミュレーションソフトウェアのModelSim®およびPSIM間の通信リンクです。ModCoupler-Verilogにより、完成したパワーエレクトロニクス機器の連成シミュレーションを行なうことができます。Verilogで記述されたデジタル制御アルゴリズムはModelSimでシミュレートされ、パワー回路はPSIMでシミュレートされます。

PSIM側では、ユーザーは回路図内にModCoupler-Verilogのブロックを含める必要があります。ModelSim側では、変更する必要はありません。PSIMの回路図から、ユーザーはModCoupler-Verilogモジュールへ時間刻み、VerilogのCLK信号の周波数、連成シミュレーションを構成するために必要な入出力信号の情報を提供する必要があります。図1は、基本的な連成シミュレーションの構造を示しています。

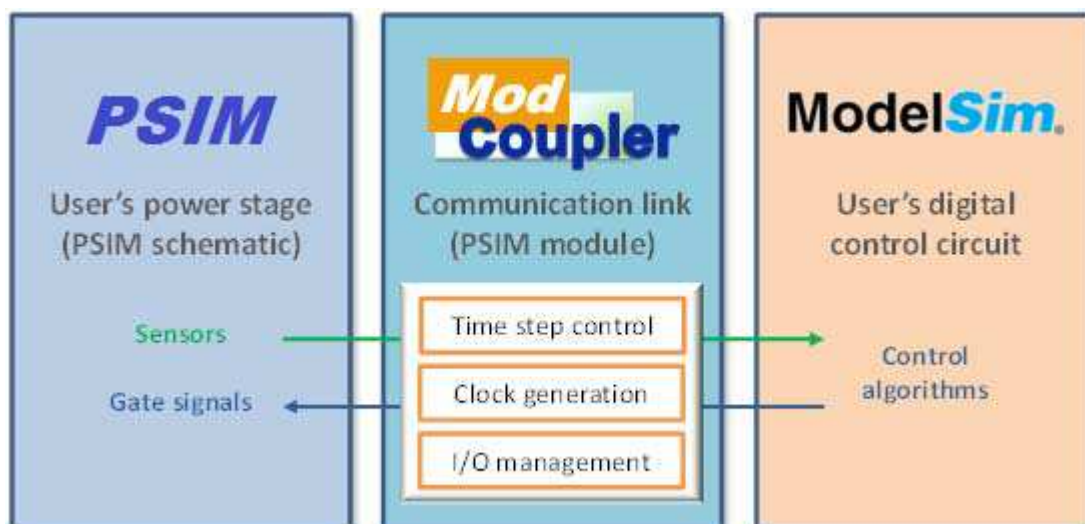


図1 連成シミュレーション構造

シミュレーション中はシミュレーションステップごとに両方シミュレータが一度停止し、互いのデータをやり取りします。ModCouplerモジュールの入力信号の値は、制御アルゴリズムを担当しているデジタル回路に転送されます。ModelSimでの計算が終了したら、Verilogの出力の値は返送されます。その後、各シミュレータは、新しいシミュレーションのステップを実行し、このサイクルが繰り返されます。PSIMのシミュレーションステップの1ステップ分は、ModelSimのシミュレーションステップの複数分に相当することに注意してください。

本ユーザーズガイドでは、ゼロから連成シミュレーション環境を構築する方法について説明します。これは、ユーザーがアナログシミュレーション用PSIM回路およびデジタルシミュレーション用のVerilog記述を用意することを前提としています。

2 ModCoupler-Verilog ブロック構成

作成したPSIM回路図ファイル(必要ならば新規作成)にModCoupler-Verilogブロック([Elements]メニュー → [Control]メニュー)を追加します(図2参照)。

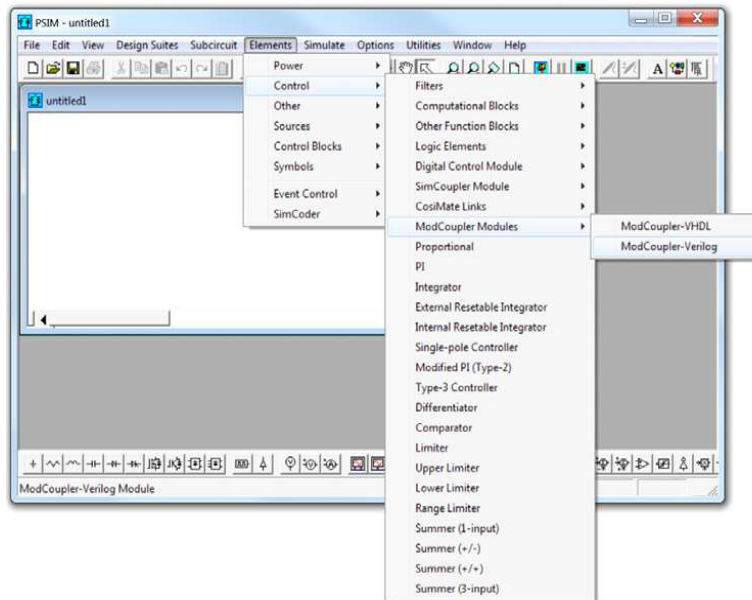


図2 ModCoupler-Verilogモジュールの場所

図3にModCoupler-Verilogモジュールのメインダイアログウィンドウを示します。

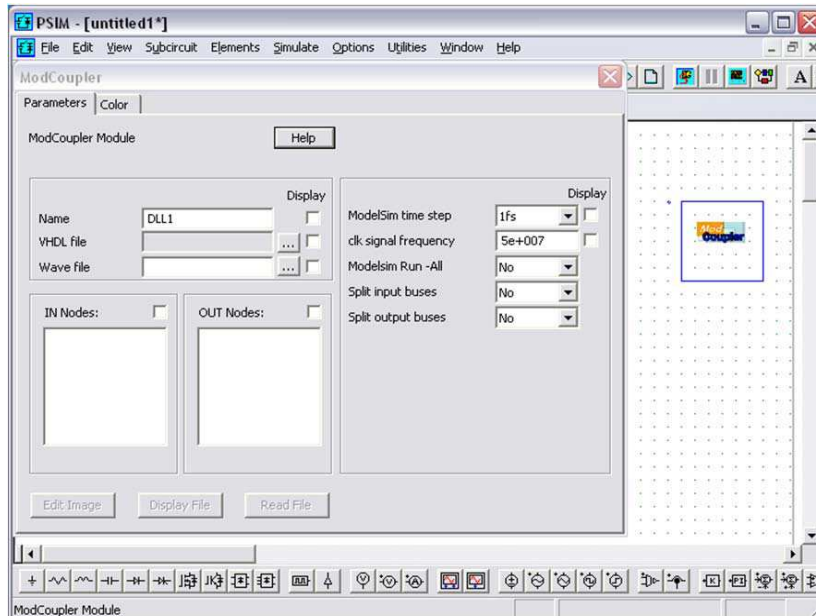


図3 ModCoupler-Verilogモジュールダイアログウィンドウ

様々なパラメータを以下に説明します：

- Verilog file :
トップエンティティファイル (.v) 。 このファイルが選択された後に、入出力ノードのリストが作成されます。
- Wave file :
ModelSimの波形ウィンドウで表示される信号の情報を持つファイルです。
- ModelSim time step :
ModelSimのシミュレーション時間刻みです。この値は、PSIMの「simulation control」で設定する時間刻みより小さくする必要があります。
- clk signal frequency :
ModelSim CLK信号の周波数です。通常はPSIMの時間刻みよりも期間が短いため、CLK信号は入力として処理されないことに注意してください。
- ModelSim Run -All :
ModelSimは「Run-ALL」ボタンを押さなくてもシミュレーションが開始されます。ModelSimの波形ウィンドウに表示される信号を選択するために、初めてシミュレーションを実行するときには「Run-All」 ボタンのパラメータを「No」に設定することをお勧めします。
- Split input buses :
入力配列信号をビット毎に分割することを許可します。
- Split output buses :
出力配列信号をビット毎に分割することを許可します。

3 Verilog ファイルのコンパイル

ModCoupler-Verilogが動作するためにコンパイルされたVerilog設計モデルが必要です。

また、ModelSimライブラリの"Work"は、作業ディレクトリに格納されている必要があります（簡単に回路図ファイルを含むディレクトリに作業フォルダを移動することが可能です）。

このプロセスはModCoupler-Verilogのダイアログで実行するべきですが、提案されたコンパイル方法はWindows のバッチファイルを使用しています。バッチファイルには実行するコマンドが含まれています。

サンプルのバッチファイル（compile.bat）を「examples」ディレクトリで見つけることができます。

ModelSimアプリケーションのvcomとvlibが使用されているので、それぞれへのパスが環境変数"PATH" に含まれていなければなりません。

※注意；

Verilogモデルをどのように変えた場合も、モデルは再コンパイルしなければなりません

4 シミュレーション

最後のステップは、シミュレーションを実行することです。

初めにシミュレーションを実行するとき、シミュレーションの実行をせずにModelSimを開くために、"ModelSim Run -All"のパラメータの設定を"No"に設定してください。

この状態では、ユーザーは表示させる、またwaveファイル（wave.do）に保存するための適切な信号選択することができます。

PSIMの" Run simulation engine"ボタンを押してシミュレーションを開始します。数秒後、ModelSimのウィンドウが表示されます。ユーザーが表示する信号を選択した後、ModelSimの"Run-All"ボタンを押すことによってシミュレーションは開始されます。

次のシミュレーションでは、ModelSimを起動し、自動的にシミュレーションを実行するために「ModelSim Run -All」のパラメータを"Yes"に設定することができます。

同じVerilogモデルでの新しいシミュレーションが必要な場合（例えば、Verilogファイルを編集して再コンパイルした後、または回路図変更後）は、PSIMの"Run simulation engine"を再び押す前にModelSimの"Restart"ボタンを押します（ModelSimのウィンドウを閉じる必要はありません）。

5 例：降圧コンバータの電流ループ

5.1 ModCoupler ブロックの設定

ModCouplerブロックを設定する前に、PSIMの回路図を作成します。

この例では、PSIMは降圧コンバータのシミュレーションを行い、ModelSimはその制御部分を担当します。最終的な回路図はワーキングディレクトリ(examples¥ModCoupler-Verilog)に含まれ、ファイル名はbuck_iL.psimsch となります。今回の例では、PSIMとModelSim間の通信プロセスを説明します。

まず、降圧コンバータ(図4)から説明を始めます。

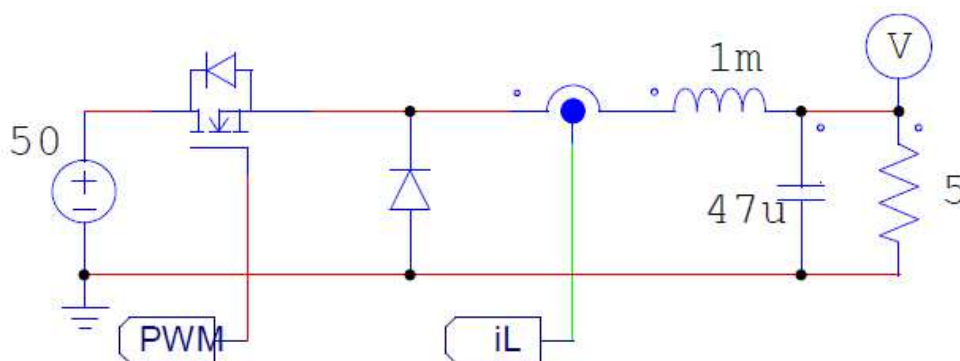


図4 降圧コンバータのPSIMの回路図

この降圧コンバータの回路を機能させるには、PSIMIにMOSFETパルスを与えることが必要となります。このパルスは、ModelSimシミュレータにより計算されます。このためには、ModCouplerブロックを追加し、buck_iL_Loop.v（このサンプルのverilogフォルダ内にあります。）をHDLファイルとして選択します。(図5)それにより、IN/OUTノードのリストが生成されます。

出力は整流するためにMOSFETゲートに接続されます。それ以外の3つの入力は、以下の通りです。

- Reset: デジタル設計のリセット信号
- iL: インダクタ電流
- iLref: 電流基準

次に、ModCoupler ブロックのパラメータは、以下の値に設定されます。

- Wave file: サンプルのフォルダに置かれた wave.doファイルを示します。
- ModelSim time step: 10ns
- clk signal frequency: 1e+007
- ModelSim Run -All: Yes
- Split input buses: No
- Split output buses: No

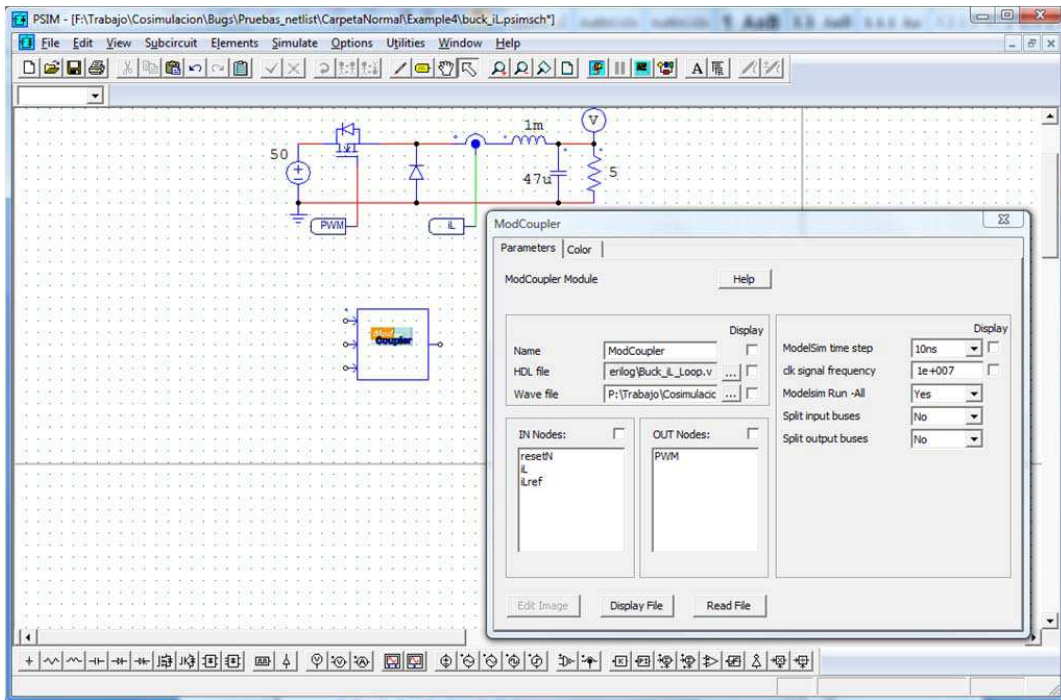


図5 ModCouplerブロックダイアログウィンドウ

このVerilogモデルは、実モデルに近づくために整数型の変数のみを使用しています。そのため、量子化ブロックは実数(PSIM)から整数(ModelSim)に変換する必要があります。

この量子化ブロックは ADCと同等ですが、ビットを別々に与える代わりに全てのビットを一つにまとめて与えています。最終的な回路図は、図6のようになります。

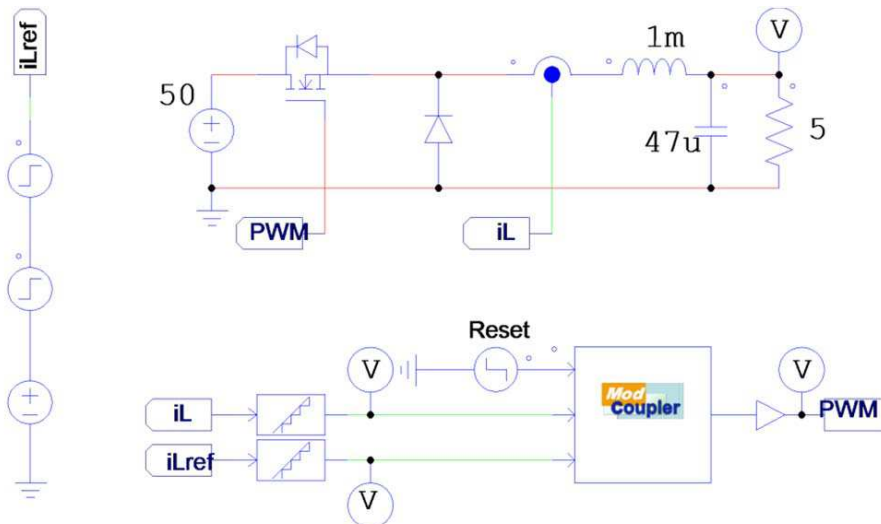


図6 電圧降下コンバータの回路図の例

5.2 Verilog ファイルのコンパイル

この例ではVerilog ファイルは一つのみですので、モデルを予めコンパイルしておく必要はありません。

ません。しかし、Verilog 設計の潜在的なエラーを確認するために、まずコンパイルしてみることをお勧めします。コンパイルできるように、サンプルにはバッチファイル(compile.bat)が含まれています。

5.3 シミュレーション

最後のステップは、シミュレーションを実行することです。

PSIMの“Run simulation engine” ボタンをクリックして、開始します。この時点で、ModCoupler はModCouplerTemporaryFile.vという名前のVerilog ファイルをVerilogのディレクトリに作成し、コンパイルします。数秒後、コンパイルされたモデルとともに、ModelSimウィンドウが現れます。

パラメータの「ModelSim Run -All」が「Yes」に設定されているので、ModelSimシミュレーションがすぐに始まります。

ModCoupler は、ModelSimアプリケーションvcomとvsimを使用しているので、それぞれへのパスが環境変数” PATH” に含まれていなければなりません。

5.4 シミュレーションの再スタート

Verilogモデルの変更がない場合は、再スタートは以下のステップにより簡単に行えます。

1. “Restart” ボタンをクリックし、ModelSimモデルを再スタートします。(図7)
2. PSIMの “Run Simulation” ボタンをクリックします。
3. ModelSimの “Run -all” ボタンをクリックします。(ModCouplerの “Run -all” オプションは、ステップ2により “ModelSim” が閉じられている場合にのみ有効になります。)



ModelSim restart button

図7 ModelSimのシミュレートツールバー

5.5 例: アナログ制御と Verilog 制御の比較

この例では、前回の例と等価アナログ回路の比較が行われています。回路図はexamplesフォルダ内に配置されており、図8のとおりとなります。

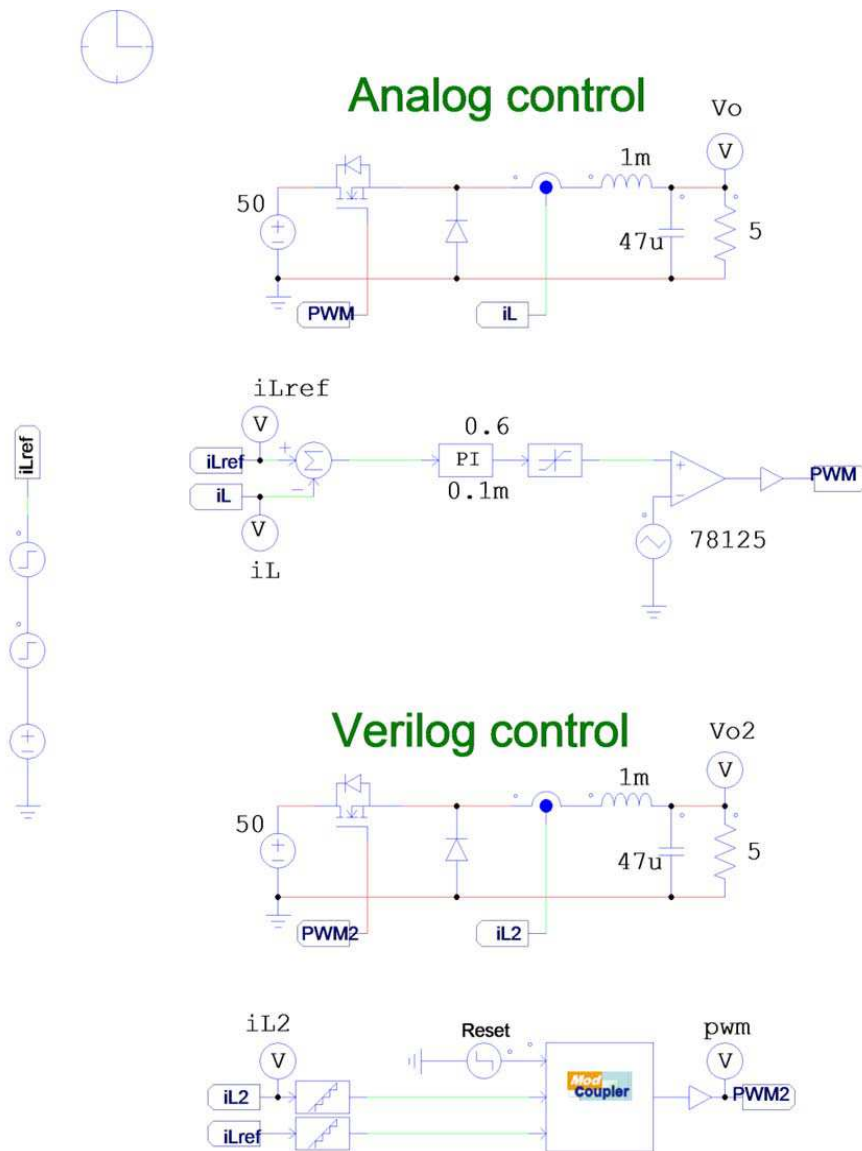


図8 アナログとVerilog制御の比較の回路図

Verilog制御は、アナログ制御から行われており、PI制御の離散化モデルを実行しています。

結果の比較は図9に示す通りです。ここで、赤線はアナログの値を示し、青線はVerilogの値を示し、緑線は電流基準を示しています。

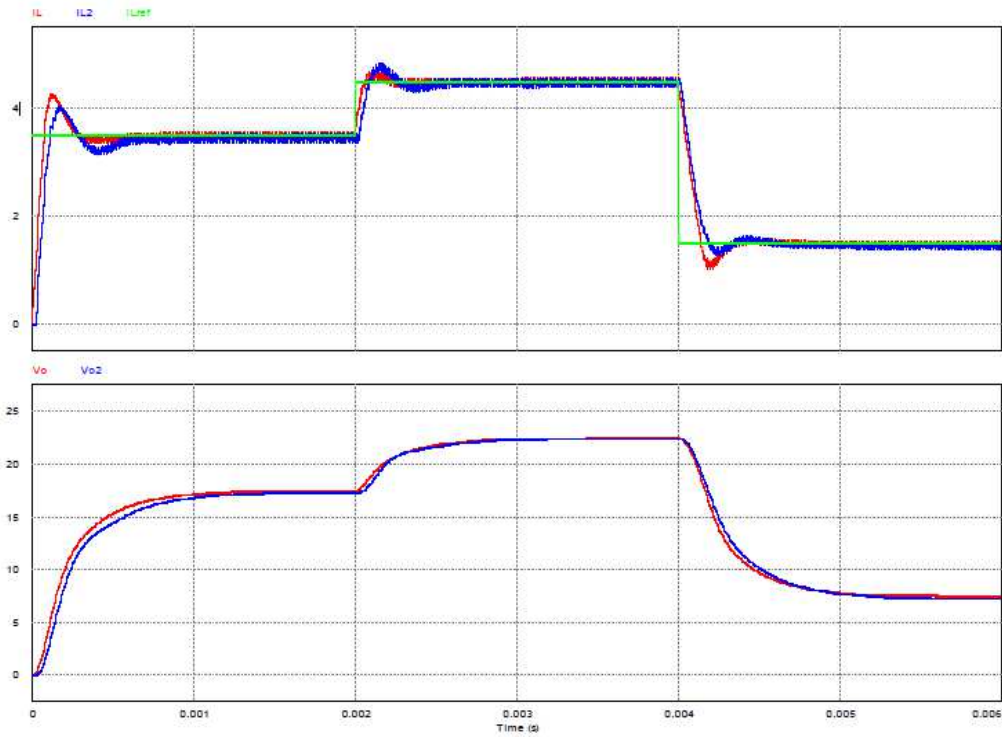


図9 シミュレーション比較の結果

6 エラーメッセージ

ERROR 001: “vlib cannot be executed”:

vlib バイナリーが実行できないときに、このエラーは発生します。管理者アカウントから、ModCouplerを使用してしてください。

ERROR 002: “vlog cannot be executed”:

vlog バイナリーが実行できないときに、このエラーは発生します。管理者アカウントから、ModCouplerを使用してしてください。

ERROR 003: “vsim cannot be executed”:

vsim バイナリーが実行できないときに、このエラーは発生します。管理者アカウントから、ModCouplerを使用してしてください。

ERROR 004: “The maximum creating process time has been exceeded”:

ModCouplerは、ModelSim プロセスが生成されるまで1分間待ちます。この時間が過ぎると、シミュレーションは、キャンセルされます。PCのパフォーマンスを改善するために、メモリを開放してください。

ERROR 005: “The pipe cannot be opened”:

通信パイプが開けません。PCを再起動してください。

ERROR 006: “The header cannot be sent”.

Powersimにエラーを報告してください。

ERROR 007: “The name size cannot be sent”.

Powersimにエラーを報告してください。

ERROR 008: “The name cannot be sent”.

Powersimにエラーを報告してください。

ERROR 009: “The name size cannot be sent”.

Powersimにエラーを報告してください。

ERROR 010: “The name cannot be sent”.

Powersimにエラーを報告してください。

ERROR 011: “The HDL directory cannot be sent”.

Powersimにエラーを報告してください。

ERROR 012: “The .do file cannot be sent”.

Powersimにエラーを報告してください。

ERROR 013: “The maximum creating pipe time has been exceeded”.

ModCouplerは、通信パイプが生成されるまで1分間待ちます。この時間を超えると、シミュレーションがキャンセルされます。PCのパフォーマンスを改善するために、メモリを開放してください。

ERROR 014: “ModelSim binary files not found. Reinstall ModelSim or include it in the PATH system environment variable”.

ModelSimのバイナリファイルが見つかりません。ModelSimを再インストールするか、システム環境変数のPATHに含まれているか確認してください。

ERROR 015: “ModelSim time step is higher than clk signal period, clk signal cannot be generated”.

ModelSimの時間刻みを減らしてください。

ERROR 016: “The ratio between the PSIM time step and the ModelSim time step is less than one. Avoid using folders with spaces in the name. It's recommended decreasing ModelSim time step”:

このエラーは、名前にスペースが含まれているフォルダを使用した場合や、PSIMとModelSimの時間刻みの比が1未満の場合に、発生します。

ERROR 017: “The pipe cannot be found”:

通信パイプが見つかりません。PCを再起動してください。

ERROR 018: “The pipe cannot be opened”:

通信パイプを開くことができません。PCを再起動してください。

ERROR 019: “Unable to write to the pipe”:

通信パイプが失敗しました。PCを再起動してください。

ERROR 020: “Unable to read from the pipe”:

通信パイプが失敗しました。PCを再起動してください。

ModCoupler-Verilog User's Guide

発行: Myway プラス株式会社

〒220-0022

神奈川県横浜市西区花咲町 6-145

横浜花咲ビル

TEL.045-548-8836

FAX.045-548-8832

ホームページ: <http://www.myway.co.jp>

Eメール: sales@myway.co.jp
